

各 位

平成 18 年 12 月 20 日
東京都品川区北品川四丁目 7 番 35 号
株式会社テクノ マセマティカル
(コード番号:3787 東証マザーズ)
代表者名 代表取締役社長 田中正文

テクノ マセマティカル、

フル HD (1920 x 1080 60i) 対応 高画質・低消費電力 MPEG-2 エンコーダ/デコーダ LSI の出荷開始

ーデジタルハイビジョン映像の録画・編集・再配信に最適な単機能チップー

株式会社 テクノ マセマティカル (本社：東京都品川区、代表取締役社長 田中正文 東京大学客員教授) は、先に開発した数学的手法を駆使した革新的演算アルゴリズム「DMNA」(Digital Media New Algorithm) を使用して開発した、フル HD (1920 x 1080 60i) 対応 高画質・低消費電力 MPEG-2 エンコーダ/デコーダ LSI 製品「TM5054」の出荷を開始しました。

当製品は、単機能 LSI 事業の第一弾商品であり、特に国内で普及が進んでいるデジタルハイビジョン放送映像の録画・編集・再配信等に最適な製品です。その他にハイグレード AV 機器、セットトップボックスやハイビジョンカメラ等に利用されることを想定しており、このたび機器メーカー様、通信・放送事業者様からの要望を受け、量産出荷を開始しています。

また、当社製 IP コア製品の評価・検証等の目的に当 LSI を利用することも可能です。

MPEG-2 は、地上デジタル放送や DVD 等に採用されている国際標準の映像圧縮・伸張規格であり、国内はもとより、全世界でもっとも普及している映像圧縮・伸張規格のひとつです。従来、フル HD クラスのハイビジョン映像を MPEG-2 規格でエンコード (圧縮) するためには、複数の LSI 又は FPGA (※) を並列に用いる等、大規模なシステムを構築する必要がありました。そのため、ハイビジョン映像データのリアルタイム処理が必要な業務を実施できるのは、このような大規模システムを購入・運用できる一部の事業者に限られていました。

このたび、量産出荷を開始する MPEG-2 エンコーダ/デコーダ LSI「TM5054」を利用することにより、多くの映像機器の製造事業者が多様な価格帯で製品を開発・提供することが可能となり、高画質リアルタイムエンコードを必要とする映像サービス事業者様に、効率的な新しいビジネスモデルを提供することとなります。フル HD (1920 x 1080 60i) サイズのリアルタイム処理を実現しているため、今後の更なる高画質化にも十分対応可能です。

テクノマセマティカルの DMNA は、数学的手法を駆使した独自のアルゴリズム群の総称です。DMNA を適用した製品は、国際標準の圧縮・伸張規格を中心に様々な映像・音響処理規格に対応しており、単機能 LSI 製品としては以下のメリットを実現しています。

- ・ 演算量を劇的に削減し、LSI の回路規模を大幅に削減
- ・ チップ面積の縮小と動作周波数の低減により、消費電力を大幅に削減
- ・ テクノマセマティカル独自の画像処理技術により、高画質を実現
- ・ 経験豊富な日本人技術者による柔軟かつスピーディな対応

今後、テクノ マセマティカルは、DMNA を核とした国際標準規格対応の映像圧縮・伸張製品をお客様の要望にあわせて様々な形態で提供しています。なかでも、大画面对応と低消費電力化に関する多くのお客様からの要望に対応するため、各種国際標準規格に準拠した単機能 LSI 製品を順次、開発ならびに提供してまいります。

本件発表に伴う平成 19 年 3 月期（平成 18 年 4 月 1 日～平成 19 年 3 月 31 日）業績への影響については現在精査中であり、修正の必要がある場合は、速やかにご報告いたします。

（ご参考）フル HD 対応 高画質 MPEG-2 エンコーダ/デコーダ LSI 「TM5054」の主な仕様

対応プロファイル/レベル	MPEG-2 Video MP@HL, MP@HL-1440, MP@ML
対応画像サイズ	1920 x 1080, 1440 x 1080, 1280 x 720, 720 x 576, 720 x 480
ビデオフォーマット	YCbCr 4:2:0 各 8bits
処理性能	リアルタイムエンコード・デコード
動作周波数	74.25MHz (Max)
パッケージ	505pin - PBGA (27mm x 27mm)

*革新的なアルゴリズム DMNA とは、画像や音楽の圧縮伸張処理で使われている DWT（離散ウェーブレット変換）、DCT（離散コサイン変換）、算術符号、ME（動き検出）、デブロッキングフィルタ等の負荷が重い演算処理を下記の手法を組み合わせることで、演算の負荷を大きく減らし、画質や音質を損なうことなく高速処理することを可能にする計算手法です。

1. 因数分解を活用して、計算を簡略化し、演算回数を大幅に削減させます。
2. 折り返し理論を活用して、数値空間を狭くし、演算回数を削減します。
3. 演算式を階層化し、優先度を付けて必要な計算だけを実行します。
4. 複雑な計算式を、階層化することによって簡易化します。
5. それぞれの関数を、効率的に変換します。

株式会社 テクノ マセマティカルについて

テクノ マセマティカルは、2000 年 6 月に東京都品川区に設立、2005 年 12 月に東京証券取引所マザーズ市場に上場しました。東京大学 客員教授で工学博士の田中正文によって設立された、数学の専門家とエレクトロニクス技術者が結集したアルゴリズム スペシャリスト集団です。

同社のミッションは、数学的手法を用い、独自アルゴリズムを駆使した差別化技術で、低消費電力、高速、高画質、高音質の圧縮伸張ソリューションを、成長著しいモバイル機器やデジタル家電等に提供して、お客様の成功を実現、夢と感動を与え続けることです。

<http://www.tmath.co.jp>

◎本文中に記載の社名及び製品名は、各社の商標または登録商標です。

（※）FPGA : Field Programmable Gate Array の略。論理回路等の書き換えが可能な LSI の一種。

本件に関するお問い合わせは下記までお願いいたします。

株式会社 テクノ マセマティカル
マーケティング部 上田 博雄
〒140-0001 東京都品川区北品川 4 丁目 7 番 35 号 御殿山トラストタワー
TEL:03-5798-3636 FAX:03-5798-0226
E-mail:info@tmath.co.jp
Homepage : <http://www.tmath.co.jp>